

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163366

(43)Date of publication of application : 18.06.1999

(51)Int.CI.

H01L 29/786

H01L 21/336

G02F 1/136

(21)Application number : 10-262880

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1998

(72)Inventor : TORIYAMA SHIGETAKA

HIRAYAMA HIDEO

(30)Priority

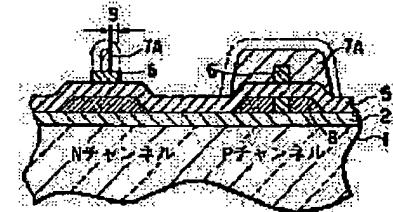
Priority number : 09260315 Priority date : 25.09.1997 Priority country : JP

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a thin-film transistor which can provide a uniform LDD region at low cost as a thin-film transistor which uses polycrystalline silicon for a semiconductor layer.

SOLUTION: An invented manufacture of the thin-film transistor includes a process for forming a semiconductor layer on an insulating substrate 1, a process for laminating an insulating film 5 and a conductive layer 6 on the semiconductor layer, a process for forming a gate electrode by patterning the conductive layer, and a process for forming an offset area 9 by forming mask 7A, by reducing the width of a mask used for the formation of the gate electrode through a desired quantity and injecting impurity ions of high density into a part, where there is neither the mask nor the conductive layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163366

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl.⁶
H 01 L 29/786
21/336
G 02 F 1/136
5 0 0

識別記号

F I
H 01 L 29/78 6 1 7 A
G 02 F 1/136 5 0 0
H 01 L 29/78 6 1 6 A
- 6 1 6 M
6 2 7 C

審査請求 未請求 請求項の数13 O L (全 6 頁)

(21)出願番号 特願平10-262880

(22)出願日 平成10年(1998)9月17日

(31)優先権主張番号 特願平9-260315

(32)優先日 平9(1997)9月25日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 島山 重隆

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内

(72)発明者 平山 秀雄

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内

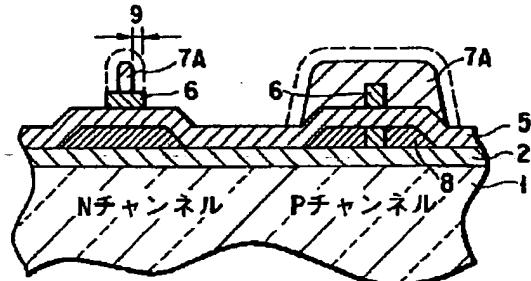
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【課題】半導体層として多結晶シリコンを用いる薄膜トランジスタにおいて、均一な幅のLDD (Lightly Doped Drain) 領域を、低成本で提供可能な薄膜トランジスタの製造する。

【解決手段】この発明の薄膜トランジスタの製造方法は、絶縁基板1上に半導体層を形成する工程と、半導体層上に絶縁膜5と導電層6を積層する工程と、導電層をバーニングしてゲート電極を形成する工程と、ゲート電極を形成した際に用いたマスクの幅を所望の量だけ縮めてマスク7Aを形成してオフセット領域9を形成し、マスクおよび導電層が無い部分の半導体層に高濃度の不純物イオンを注入することを特徴とする。



1

【特許請求の範囲】

【請求項1】半導体層上に絶縁膜と導電膜とを形成する工程と、
 前記導電膜上の第1のパターンにレジストマスクを形成する工程と、
 前記導電膜を第1のパターンにパターンニングする工程と、
 前記第1のパターンのレジストマスクの外周部を除去することで第2のパターンのレジストマスクを作る工程と、
 前記第1のパターンの導電膜をマスクとして前記半導体層に不純物を注入する第1の注入工程と、
 前記導電膜を前記第2のパターンをマスクとして第2のパターンにパターンニングする工程と、
 前記第2のパターンのレジストマスクを除去する工程と、
 前記第2のパターンのレジストマスクを除去したのち、前記第2のパターンの導電膜をマスクとして前記半導体層に第2の不純物を注入する第2の注入工程とからなる薄膜トランジスタの製造方法。

【請求項2】前記第2のパターンのレジストマスクを作り工程は、等方性エッチング工程を含むことを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】前記等方性エッチングは、プラズマ雰囲気中において酸素ガスを主成分とするエッチングガスを用いることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】前記エッチングガスは、フッ素ガスまたは塩素ガスの少なくとも1つを含むことを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】前記第1の不純物と第2の不純物は、実質的に同一の導電型を有し、前記第1の不純物の濃度は、前記第2の不純物の濃度よりも高いことを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項6】前記第1の注入工程は、前記第1のパターンのレジストマスクの外周部分を除去した後に、実行されることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項7】前記導電膜は、柱状の結晶構造を有する高融点金属であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項8】前記半導体層は、絶縁基板上に形成されていることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項9】前記半導体層は、多結晶シリコンであることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項10】第1の半導体領域と第2の半導体領域とを有する半導体層上に絶縁膜と導電膜とを形成する工程と、

10

前記半導体領域上の第1のパターンを有する前記第1の半導体領域を覆うようにレジストマスクを形成する工程と、
 前記導電膜を第1のパターンにパターンニングする工程と、
 前記第1のパターンにパターンニングされた前記導電膜をマスクとしてP型の不純物を前記第2の半導体領域に注入する第1の注入工程と、
 前記第1のパターンのレジストマスクを除去する工程と、
 前記第1の半導体領域を覆う第2のパターンを有する第2の半導体領域をマスクするレジストマスクを形成する工程と、
 前記導電膜を前記第2のパターンにパターンニングする工程と、
 前記第2のパターンを有するレジストマスクの外周部を除去することで第3のパターンのレジストマスクを作る工程と、
 前記第2のパターンの前記導電膜をマスクとして前記第1の半導体領域にN型の不純物を注入する第2の注入工程と、
 前記導電膜を第3のパターンにパターンニングする工程と、
 前記第1の半導体領域から前記第3のレジストマスクを除去する工程と、
 前記第3のパターンの前記導電膜をマスクとして前記第1の半導体領域にN型の不純物を注入する第3の注入工程とからなる薄膜トランジスタの製造方法。

【請求項11】前記第3の注入工程で注入される不純物の濃度は、前記第2の注入工程で注入される不純物の濃度よりも高いことを特徴とする請求項10記載の薄膜トランジスタの製造方法。

【請求項12】前記半導体層は、絶縁基板上に形成されていることを特徴とする請求項11記載の薄膜トランジスタの製造方法。

【請求項13】前記半導体層は、多結晶シリコンであることを特徴とする請求項10記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】
【0001】
 【発明の属する技術分野】この発明は、薄膜トランジスタを用いたアクティブマトリックタイプの液晶表示装置における薄膜トランジスタの製造方法に関する。
【0002】
 【従来の技術】近年、液晶を用いた表示装置が広く普及している。このため、液晶表示装置のさらなる小型化および低消費電力化が求められている。これに伴い、液晶パネルのガラス基板上に、駆動素子として利用されるスイッチング素子である薄膜トランジスタを一体的に形成する方法が実用化されている。なお、薄膜トランジスタ

50

の半導体領域を形成する方法として、多結晶シリコンをベースとする方法が用いられている。

【0003】薄膜トランジスタを形成する方法としては、特開平3-148834号公報に開示されているように、先ず、P型のSi基板(10)上にチャンネル分離領域(11)を形成し、このチャンネル分離領域(11)に依って区画された領域にゲート酸化膜(12)を介してゲート電極(13)を形成する(第1図a)。このゲート電極(13)の形成は、従来と同様に、Si基板(10)上にPoly-Si膜を形成した後に所定のパターンのレジスト膜(14)を形成し、このレジスト膜(14)をマスクにしてPoly-Si膜をエッチング除去して得られる。このとき、ゲート絶縁膜(13)の長さは、最終的な長さより所定の量だけ、即ち第2図に示すサイドウォール(6)に相当する分だけ長く形成される。

【0004】次に、ゲート絶縁膜(13)上のレジスト膜(14)を除去することなく、さらにソース及びドレインとなる以外の領域、例えばチャンネル分離領域(11)やPチャンネル型MOSトランジスタの領域等を覆うレジスト膜(15)を形成し、これらレジスト膜(14)(15)をマスクにしてN型不純物例えは砒素(A₃⁺)を高濃度に注入してN⁺型の拡散領域(16S)(16D)を形成する(第1図b)。この拡散領域(16S)(16D)が夫々ソース及びドレイン領域となる。

【0005】統いて、酸素を含むプラズマ処理に依ってレジスト膜(14)(15)を所定量だけ等方的に除去する(第1図c)。このプラズマ処理に於いては、ゲート電極(13)が必要以上の大きさに形成されている分だけレジスト膜(14)が除去される。即ち、プラズマ処理の後に残るレジスト膜(14)の大きさが最終的なゲート電極(13')の大きさとなるようにレジスト膜(14)の一部が除去される。そして、所定の大きさとなつたレジスト膜(14')をマスクとしてゲート電極(13)をエッチングし、ゲート電極(13)の両端を除去した後、レジスト膜(14')(15')をマスクとしてN型不純物、例えはP⁺を先の拡散領域(16S)(16D)の形成の際より低い濃度で注入し、N⁺型の拡散領域(17S)(17D)を形成する方法がある。

【0006】

【発明が解決しようとする課題】しかしながら、特開平3-148834号公報に記載されている薄膜トランジスタの製造方法では、LDD(Lightly Doped Drain)の幅は、フォトリソグラフィーにより規定されることから、Siを保持するガラス基板の撓みや、マスクを合わせる際のずれにより、ゲートの両側に作製されるLDDの幅が左右で異なる幅となったり、基板1枚ごとに異なる幅となる問題がある。このことは、薄膜トランジスタ

のオン電流の大きさを不均一とすることから、製品の歩留まりおよび信頼性を向上できない問題がある。従って、液晶表示装置としてのコストが増大される問題がある。

【0007】この発明の目的は、半導体層として多結晶シリコンを用いる薄膜トランジスタにおいて、均一な幅のLDD(Lightly Doped Drain)領域を、低成本で提供可能な薄膜トランジスタの製造する方法を提供することにある。

【0008】

【課題を解決するための手段】この発明は、上記問題点に基づきなされたもので、半導体層上に絶縁膜と導電膜とを形成する工程と、前記導電膜上の第1のパターンにレジストマスクを形成する工程と、前記導電膜を第1のパターンにバーニングする工程と、前記第1のパターンのレジストマスクの外周部を除去することで第2のパターンのレジストマスクを作る工程と、前記第1のパターンの導電膜をマスクとして前記半導体層に不純物を注入する第1の注入工程と、前記導電膜を前記第2のパターンをマスクとして第2のパターンにバーニングする工程と、前記第2のパターンのレジストマスクを除去する工程と、前記第2のパターンのレジストマスクを除去したのち、前記第2のパターンの導電膜をマスクとして前記半導体層に第2の不純物を注入する第2の注入工程とからなる薄膜トランジスタの製造方法である。

【0009】また、この発明の薄膜トランジスタの製造方法において、第1のパターンを有するレジストマスクを除去する工程は、等方性エッチングであることを特徴とする。

【0010】さらに、この発明の薄膜トランジスタの製造方法において、第1の注入工程で注入される不純物の濃度は、第2の注入工程で注入される不純物の濃度よりも高いことを特徴とする。

【0011】またさらに、この発明の薄膜トランジスタにおいて半導体層は、多結晶シリコンを含むことを特徴とする。さらにもまた、この発明は、第1の半導体領域と第2の半導体領域とを有する半導体層上に絶縁膜と導電膜とを形成する工程と、前記半導体領域上の第1のパターンを有する前記第1の半導体領域を覆うようにレジストマスクを形成する工程と、前記導電膜を第1のパターンにバーニングする工程と、前記第1のパターンにバーニングされた前記導電膜をマスクとしてP型の不純物を前記第2の半導体領域に注入する第1の注入工程と、前記第1のパターンのレジストマスクを除去する工程と、前記第1の半導体領域を覆う第2のパターンを有する第2の半導体領域をマスクするレジストマスクを形成する工程と、前記導電膜を前記第2のパターンにバーニングする工程と、前記第2のパターンを有するレジストマスクの外周部を除去することで第3のパターンのレジストマスクを作る工程と、前記第2のパターン

の前記導体膜をマスクとして前記第1の半導体領域にN型の不純物を注入する第2の注入工程と、前記導体膜を第3のパターンにパターンニングする工程と、前記第1の半導体領域から前記第3のレジストマスクを除去する工程と、前記第3のパターンの前記導体膜をマスクとして前記第1の半導体領域にN型の不純物を注入する第3の注入工程とからなる薄膜トランジスタの製造方法である。

【0012】

【発明の実施の形態】以下、図1ないし図10を用いて、液晶表示装置に用いられる薄膜トランジスタの製造方法を詳細に説明する。図1に示す工程において、ガラス基板1上に、例えば、PE(プラズマエンハンスド)-CVD法またはスパッタ法等により、所定の厚さのバッシベーション膜2を形成し、続いて、アモルファスシリコン(a-Si)層3を、所定の厚さに堆積する。なお、バッシベーション膜2の材質として、Na等に対するイオンブロッキングの観点から、好ましくは、窒化シリコン(SiO_x)が選択される。また、アモルファスシリコン層3の厚さは、50～100nmとする。

【0013】次に、アモルファスシリコン層3に含まれる水素量を減少させるため、例えばアーニール炉を用い、500°C程度で1時間加熱(熱アーニール)する。続いて、例えばXeCI等のエキシマーレーザ等に代表されるエネルギービーム(レーザ光)を照射してアモルファスシリコン層3を加熱して一旦溶融させたのち冷却(放熱)する。これにより、溶融したアモルファスシリコン層3が結晶化し、多結晶シリコン層(4)となる。

【0014】次に、図2に示すように、ポリシリコン層4に所定パターンのレジストマスク(図示しない)を形成し、エッチングにより、ポリシリコン層をパターンニングする。このとき、例えばCF₄等に代表されるフッ素系ガスを用い、ダウンフローによるドライエッチングにより、加工端が例えばテーパ状となるようにエッチングする。次に、エッチングに用いた図示しないレジストマスクをO₂または有機アルカリ液を用いたプラズマアッティングによって取り除く。

【0015】続いて、図3に示すように、PE-CVD法あるいはAP-CVD法により、原料ガスに、例えばTEOS(テトラエトキシシラン)を用いて第1の絶縁膜5を成膜する。なお、膜厚は、50～150nmとする。次に、第1の絶縁膜5の上に、第1の導電層として、モリブデンとタンクスチレンの合金(以下、MoWと略す)層6を、膜厚250nm程度をスパッタ等によつて成膜する。なお、MoWは、結晶構造が柱状で垂直方向の加工が容易であり、パターン精度が要求される製品への適用に有益である。また、高融点金属であるため、後段の熱工程による影響を受けにくい。

【0016】次に、図4に示すように、第1の導電層6上にレジストマスク(フォトマスク)7を形成して所定

形状にパターンングし、フォトリソグラフィーにより、ポリシリコン層4のp型トランジスタを形成する部分に対応する領域のMoW層6をエッチングする。

【0017】続いて、B₂H₆等のIII族の化合物を、非質量分離型のイオン注入装置を用いて、MoW層6をエッチングして取り除いた部分の下に対応する領域のポリシリコン層4中に、例えば加速電圧50keVで4×10¹⁵a to m/cm²のドーズ量注入し、p⁺ポリシリコン領域8を形成する。なお、B₂H₆等のIII族の化合物を注入した後、マスク7を除去する。

【0018】次に、図5に示すように、フォトリソグラフィーにより、ポリシリコン層4のN型トランジスタを作成する部分のMoW(第1の導電層)6上に、有機マスク7Aを形成し、エッチングする。なお、マスク7Aは、図4の工程で形成されたp型トランジスタ向けのMoW6とp⁺ポリシリコン領域8とを、以下に引き続くエッチング工程から保護するためにも利用される。

【0019】ところで、N型トランジスタを作成する部分のMoW(第1の導電層)6をエッチングする場合、

MoW6は、ゲート線として利用されるため、MoWの形状には高い加工精度が要求される。このため、例えばフッ素、塩素および酸素ガスを含むプラズマを用いるドライエッチングによりエッチングされる。なお、ガス材としてフッ素系または塩素系ガスを用いることにより、下地となるTEOS膜(第1の絶縁膜)5に対して高いエッチング選択性が得られる。これは、ガス中に含まれる塩素ガスとTEOS膜の主成分であるシリコン酸化膜との反応生成物であるSiCl₄の揮発性が低いためである。また、ガス中に含まれる酸素量の適正化を行うことにより、MoW層6のエッチング速度をTEOS層5のエッチング速度に対して高めることを可能としている。なお、実験ではO₂量がフッ素および塩素量に対して30%になるように加えると最も効果的であることが確認されている。

【0020】ところで、MoW層6を加工する場合、TEOS膜5もエッチングされる場合があることから、フッ素イオンや塩素イオン量を制御できるエッチング装置を用いて、TEOS膜5が(エッチングにより)削られることがないように、ガスを制御することが望ましい。

なお、TEOS膜5がエッチングにより消失すると、下地であるポリシリコン層4もエッチングされてしまうため、特に注意が必要である。また、エッチング装置としては、プラズマを生成する電源とプラズマ中のフッ素イオンや塩素イオンの被エッチング材への照射に利用される電源とが独立した装置を用いることで、高いエッチング速度を確保しながら、下地のTEOS膜5への高い選択性を確保することが可能となる。

【0021】MoW層6をエッチングした後、エッチングに用いた有機マスク(レジスト)を、O₂ガスを主体としたプラズマエッチングに用いたプラズマエッチング

によって、等方向にエッチングする。この場合、O₂ガスに微量のフッ素や塩素を入れても構わないが、MoW層6やTEOS層5も削ることになるので、必要以上に添加しない方が望ましい。

【0022】このようにして、マスク7Aを等方向にエッチングすることにより、加工したMoW層6の端部とマスク7Aの端部とに、オフセット領域9が形成される。このオフセット領域9の幅は、最終的にLDD(Lightly Doped Drain)領域の幅となる。

【0023】LDD幅は、例えば0.2ないし1.0μmが望ましく、オフセット領域9は、マスク7Aの膜厚やマスク7Aの端部の傾斜角を最適化することにより、適切なLDD幅を提供可能に設定される。なお、マスク7Aは、等方エッチングにより第1の導電層6上において、ガラス基板1の面方向と直交する方向の2方向から、概ね等しい距離だけエッチング(アッシング)される。

【0024】次に、図6に示す工程において、オフセット9が設けられた第1の導電膜6をマスクとして、例えばPH₃等のV族の化合物を、非質量分離型のイオン注入装置を用いて、ポリシリコン層4のMoW層6が存在しない部分に、例えば加速電圧65keVで 1×10^{16} atoms/cm²のドーズ量を注入しn⁺ポリシリコン領域10を形成する。

【0025】統いて、図7に示すように、図5に示した工程において等方向にエッチングされたマスク形状すなわちオフセット9が与えられたマスク7Aを利用してMoW層6を、再度エッチングする。このときのエッチング条件は、上述のフッ素、酸素、塩素ガスを用いたドライエッチングである。以下、エッチング終了後、マスク7Aを取り除く。なお、マスク7Aには焼が含まれているので、マスク7Aを取り除く工程としては、水素系のガスを用いて還元した後、O₂ガス等でアッシングすることが望ましい。

【0026】次に、例えばPH₃等のV族の化合物を、非質量分離型のイオン注入装置を用い、前工程でMoW層6をエッチングした部分の下に当たるポリシリコン層4中に、加速電圧80keVで 1×10^{13} atoms/cm²のドーズ量で注入し、n⁻ポリシリコン領域11を形成する。すなわち、このn⁻ポリシリコン(LDD)11の幅は、オフセット領域9の幅により制限される。なお、オフセット領域9の幅は、マスク7Aの膜厚やマスク7Aの端部の傾斜角を最適化することにより、別の(新たな)マスクを用いる方法に比較して位置ずれが生じる虞れがなく、しかも等方エッチングにより概ね等しい幅が与えられているので、基板ごとにLDD幅が変化する要素が極めて低く、均一な幅のLDDを提供できる。

【0027】次に、図8に示す工程において、PE-CVD法、AP-CVD法、スパッタ法等により、第2の50

絶縁膜として、例えばシリコン酸化物12を、膜厚500nmに成膜する。統いて、フォトリソグラフィーにより、n⁺ポリシリコン層10上の第1の絶縁膜5および第2の絶縁膜12に、CHF_xガスやCF₄+H₂混合ガスあるいはCF₄+CO混合ガスを用いたドライエッチングにより、コンタクトホール12aを開ける。なお、このコンタクトホールの加工においては、酸耐性に優れた導電材料が用いられ、しかもバターン精度が比較的緩い場合に、希HFによるウェットエッチングでもよい。

【0028】以下、図9に示すように、コンタクトホール12aの形成に用いたマスクを除去したのち、信号線13となる第2の導電層として、例えばAl、Al-Nd、Al-Si-Cu等の金属およびMo+Al+Moの積層構造をスパッタ法等により堆積し、統いて、フォトリソグラフィーにより、所定の形状にパターニングする。

【0029】統いて、図10に示す工程において、全面に保護膜として、シリコン窒化膜14を成膜し、N型薄膜トランジスタの信号線の上部に位置する領域に、コンタクトホール15aを形成し、最後に、コンタクトホール15aと画素電極15となる透明導電膜を成膜し、パターニングして、アクティブマトリックス型液晶表示装置用の薄膜トランジスタが提供される。

【0030】

【発明の効果】このようにして形成した薄膜トランジスタは、ゲート電圧が0Vのときのリーク電流を、従来の薄膜トランジスタに比較して2~3桁程度低減できる。これにより、ドレイン端における電界の集中が緩和され、ゲート酸化膜中の電荷注入が減少され、薄膜トランジスタの信頼性が向上される。

【0031】また、一つのマスクを2工程に用いることでマスク数を削減できスループットが向上される。さらに、LDDを形成するために利用するマスクは、位置合わせを必要とせず、しかも、等方性エッチングにより、幅が制御されることから、基板毎にLDDの幅が変動することが防止できる。

【図面の簡単な説明】

【図1】この発明の薄膜トランジスタの製造工程を、工程の順を追って説明するための第1の工程を示す概略図。

【図2】図1に示した薄膜トランジスタの製造工程に引き続く工程を説明するための概略図。

【図3】図2に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図4】図3に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図5】図4に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図6】図5に示した薄膜トランジスタの製造工程にさ

らに引き続く工程を説明するための概略図。

【図7】図6に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図8】図7に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図9】図8に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【図10】図9に示した薄膜トランジスタの製造工程にさらに引き続く工程を説明するための概略図。

【符号の説明】

1 ……ガラス基板（絶縁基板）、

3 ……アモルファスシリコン層、

4 ……多結晶（ポリ）シリコン層、

5 ……第1の絶縁膜、

6 ……第1の導電層、

7 ……レジストマスク、

7A ……レジストマスク、

8 …… p^+ ポリシリコン領域、

9 ……オフセット領域、

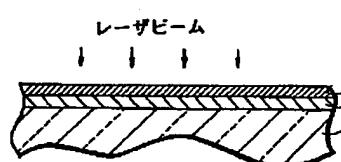
10 …… n^+ ポリシリコン領域、

11 …… n^- ポリシリコン領域

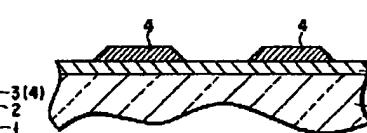
10 12 ……第2の絶縁膜、

13 ……第2の導電層。

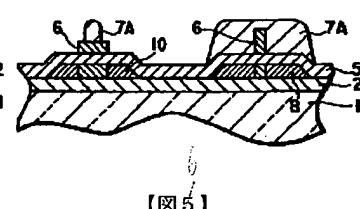
【図1】



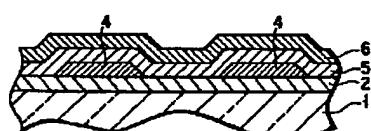
【図2】



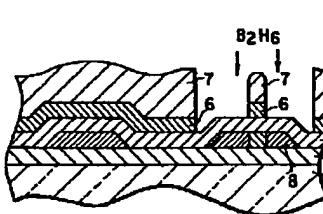
【図6】



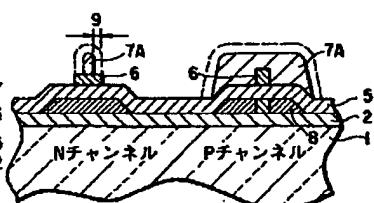
【図3】



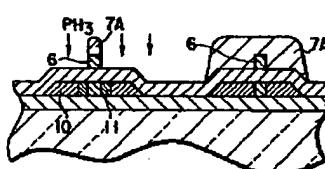
【図4】



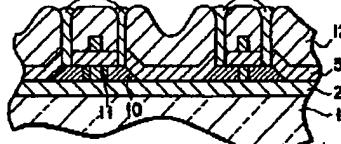
【図5】



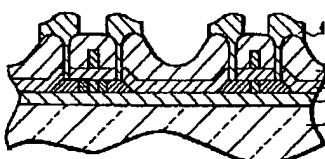
【図7】



【図8】



【図9】



【図10】

